

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2790176号

(45) 発行日 平成10年(1998) 8月27日

(24) 登録日 平成10年(1998) 6月12日

(51) Int.Cl.
H 0 3 K 5/08

識別記号

P I
H 0 3 K 5/08

発明の数 1 (全 12 頁)

(21) 出願番号 特願昭60-209884

(22) 出願日 昭和60年(1985) 9月21日

(65) 公開番号 特開昭61-92029

(43) 公開日 昭和61年(1986) 5月10日

特許請求日 平成4年(1992) 3月26日

(31) 優先権主張番号 8 4 1 4 5 6 7

(32) 優先日 1984年9月21日

(33) 優先権主張国 フランス (F R)

(73) 特許権者 999999999

ソシエテ、プール、レテユード、エ、
ラ、フアブリカシオン、ド、シルキユ
イ、アンテグル、スベシユー・ウエフセ
イエス
フランス国38100、グルノーブル、リュ、
デ、マルテイル、17(72) 発明者
ジャン、クロード、ベルテール
フランス国38600、ボワロン、セデ、27、
クープルビー、ル、ギヨン(番地なし)(72) 発明者
ルイ、タラロン
フランス国38120、サン、テグレーグ、
リュ、デ、ボネ、16

(74) 代理人 弁理士 佐藤 一雄 (外2名)

審査官 有泉 良三

最終頁に続く

(54) 発明の名称 アナログ信号レベル検出器

1

(57) 【特許請求の範囲】

1. クロック入力端子(H)とアップ/ダウン制御入力
端子(+/-)と出力端子とを有するアップ/ダウン・
カウンタ(16)と、

このアップ/ダウン・カウンタ(16)を零から最大値ま
で加算させるために要する時間が検出信号の平均周期よ
りも大幅に大きくなるような周波数を有するクロック信
号を、前記アップ/ダウン・カウンタ(16)の前記クロ
ック入力端子(H)に供給するクロック手段と、

入力端子と、前記アップ/ダウン・カウンタ(16)の前
記アップ/ダウン制御入力端子(+/-)への入力信号
を制御するための信号を出力する出力端子とを有する比
較器(12)と、

それぞれが第1電極および第2電極を備え、前記第1電
極が、前記比較器(12)の前記入力端子と、クロック信

2

号周波数の周期的なサイクルにしたがってキャパシタの
スイッチの切り換えを制御する切換制御回路(K1~Kn+
1, L1~Ln)とに接続され、このサイクルは複数の階段を
有し、且つ、このキャパシタは前記アップ/ダウン・カ
ウンタ(16)の出力の2進重みに対応させて重み付けさ
れている、1群の切換キャパシタ群(C1~Cn+1)と、
基準電圧源(Vref)と、

前記切換制御回路(K1~Kn+1, L1~Ln)および前記ア
ップ/ダウン・カウンタ(16)の出力により、

(a) 前記周期的なサイクルにおける予充電段階では、
前記切換キャパシタ群(C1~Cn+1)が、それぞれの前
記第2電極からアナログ検出信号を取り込み、且つ、前
記第1電極が接地電位に接続されるように制御され、

(b) 前記予充電段階の終了時には、この予充電段階中
に前記第1の電極に蓄積された電荷の損失を防止するた

(2)

特許2790176

3

めに、この第1電極が絶縁されるように制御され、
 (c) 比較段階では、与え付けされた前記切換キャパシタ群(C1~Cn+1)の前記第2電極が、前記切換キャパシタ群(C1~Cn+1)と同じ2進値を有する前記アップ/ダウン・カウンタ(16)の出力が0であるか1であるかに応じて前記基準電圧源(Vref)または接地電位に接続されるように制御されて、前記アナログ検出信号、前記基準電圧源(Vref)の電圧または接地電位をそれぞれの前記切換キャパシタ群(C1~Cn+1)に供給するマルチプレクサ回路(J1~Jn+1,I1,I2)と、
 を有することを特徴とするアナログ信号レベル検出器。
 2. 前記周期的なサイクル中に前記アナログ検出信号の符号を決定する段階をさらに含み、
 決定された符号を表すビットを格納するレジスタ(22)を備え、
 このレジスタ(22)が、前記比較器(12)の出力端子に接続された入力端子を有するとともに、
 (a) 前記比較器(12)の出力と前記アップ/ダウン・カウンタ(16)の計数の認識結果との論理的関係と、
 (b) 前記アップ/ダウン・カウンタ(16)の出力と前記マルチプレクサ回路(J1~Jn+1,I1,I2)の状態との論理的関係と、
 を制御するように接続された出力端子を有することを特徴とする、特許請求の範囲第1項記載のアナログ信号レベル検出器。
 3. 前記符号を決定する段階の間、各切換キャパシタ群(C1~Cn+1)の一方の電極をアース電位に接続するとともに他方の電極を前記比較器(12)の入力端子に接続し、
 この段階の間、前記予充電段階で前記切換キャパシタ群(C1~Cn+1)に充電された全電荷を全体的に絶縁状態に保つ、
 ことを特徴とする特許請求の範囲第2項記載のアナログ信号レベル検出器。
 4. 前記アップ/ダウン・カウンタ(16)の前記出力端子と前記マルチプレクサ回路(J1~Jn+1,I1,I2)との間に、前記レジスタ(22)により制御される排他的論理和ゲート(L1~Ln)を設けたことを特徴とする、特許請求の範囲第3項記載のアナログ信号レベル検出器。
 5. 前記比較器(12)の前記出力端子と前記アップ/ダウン・カウンタ(16)の前記アップ/ダウン制御入力端子(+/-)との間に、前記レジスタ(22)により制御される排他的論理和ゲート(20)をさらに設けたことを特徴とする、特許請求の範囲第4項記載のアナログ信号レベル検出器。
 6. 前記切換キャパシタ群(C1~Cn+1)の容量の和に等しい容量を有するキャパシタ(C'1)が、前記比較器(12)の前記入力端子と前記レジスタ(22)により制御される前記切換制御回路(K1~Kn+1,L1~Ln)との間にさらに接続され、

4

前記予充電段階中には当該キャパシタ(C'1)に前記基準電圧源(Vref)の電位が与えられ、
 前記比較段階中には前記符号を決定する段階で決定された符号が正であるか負であるかに従って当該キャパシタ(C'1)に前記基準電圧源(Vref)の電位または接地電位が供給される、
 ことを特徴とする特許請求の範囲第1項記載のアナログ信号レベル検出器。

【発明の詳細な説明】

10 【産業上の利用分野】

本発明は、アナログ信号レベル検出器に関するものである。

【従来の技術およびその問題点】

レベルという用語は、ここでは、その用語の最も広い意味で解釈される。その理由は、この検出器が意図する用途が、本質的には、予測される信号が存在するか否かを検出することに関するものであるからである。「信号が予測される」とは、確率の範囲が比較的広い場合でも、周波数のおおよその振幅とともに当該周波数のスペクトラムの幅がおおよそわかるということである。例えば、電話線に接続されているモデム(変調器と復調器とによって構成される)は、既知の周波数の搬送波からなる呼び出し信号の存在を認識することができる。

このようなアナログ信号レベル検出器についての他の用途や、これと多少異なる用途を考えることも可能である。言語分析器に用いられる音声活動検出器(voice activity detector)は、十分なレベルの音声活動の存在が認識されたことを示す信号を検出して、言語分析器による分析動作を開始させるためにのみ使用される。

30 したがって、ここで問題とするレベル検出器は、整流された信号の中間レベルまたは平均レベルを検出する装置であるが、「中間または平均」の語意は数学的に厳密なものではない。すなわち、レベル検出器の目的は、前記中間値が所定のしきい値を超えた場合に入力信号が存在していると判断して、この判断結果を示す信号を供給することにある。

このような検出を行うためには、低周波のフィルタリング(low-pass filtering)、すなわち取り込んだ信号の変化周期よりも十分に大きい時定数でその信号を積分することが、必要である。この操作を行わないと、信号の存在と不存在とを交互に検出してしまったり、整流後の交流信号の各ピークと各谷とを交互に検出してしまったりするおそれがある。

したがって、検出すべき信号を整流(望ましくは全波整流)することが必要であるとともに、ある程度の積分を行う必要がある。

50 しかし不都合なことに、アナログ信号を比較的大きい時定数(たとえば50Hzの信号に対して200ミリ秒)で積分するためには、比較的大きい容量のキャパシタが必要となる。このため、積分回路を内蔵する信号検出器を構

(3)

特許2790176

5

成することは困難であり、場合によっては不可能である。しかし、例えば上述のモデムの場合には、検出器を積分型とすることが望ましいとともに、本発明のモデム回路と積分回路とを同じ半導体チップ内に形成することが望ましい。

【発明の概要】

本発明は、非常に簡単で且つ大容量のキャパシタを必要としないアナログ信号レベル検出器を提供するものである。この検出器は、積分素子としてデジタルアップ/ダウン・カウンタを使用するという、顕著な特徴を有している。このデジタルアップ/ダウン・カウンタは、アップ・カウントまたはダウン・カウントを行うことによって、レベルの検出を行うべき信号とアップ/ダウン・カウンタのカウント値を表すアナログ信号とをアナログ的に比較する機能を備えている。検出すべきレベルを超えたことは、アップ/ダウン・カウンタのカウント値に基づいて決定される。

最も簡単なケースでは、所定の中間レベルを超えたか否かを明らかにするために、アップ/ダウン・カウンタの上位ビットを使用することができる。

カウント周波数は、アップ/ダウン・カウンタのカウント値が中間レベルを中心として当該レベルよりも小さい振動で振動するように選択され、その値で固定される。これにより、アップ/ダウン・カウンタのカウント値は入力信号の中間レベルを表すこととなる。

本発明は、アナログ入力信号のレベルを表すデジタル出力を供給するアップ/ダウン・カウンタと、このアップ/ダウン・カウンタの計数方向を制御するための1個の入力端子に出力端子が接続されるアナログ比較器と（計数方向は当該比較器の出力の状態によって決定される）、差信号（或いは偏差信号）を生成する手段（この手段は、アップ/ダウン・カウンタの出力端子に接続され、検出すべき入力信号を取り込んで、検出すべきアナログ信号の高圧レベルとアップ/ダウン・カウンタのカウント値に比例する量との差を表す差信号を生成し、その差信号を比較器の入力端子へ供給する）と、アップ/ダウン・カウンタに供給するカウント周波数を形成する手段（前記カウント周波数は、アップ/ダウン・カウンタのカウント値を零から最大値まで加算するため時間が、検出すべき信号レベル検出器の平均周期を大幅に超えるように、設定される）とを備えるアナログ信号レベル検出器に関するものである。

すなわち、差信号或いは偏差信号の生成に際して、その差信号（或いは偏差信号）の符号が正であるのか負であるのかの検出を、比較器が行う。そして、アップ/ダウン・カウンタは、その符号が正のときはカウント・アップし、負のときはカウント・ダウンする。両方の場合ともアップ/ダウン・カウンタのカウント値は一方の方向に徐々に変化するが、差信号の振幅は小さくなっていく。アップ/ダウン・カウンタは、自己のカウント値と

6

検出すべき信号との差を示す信号の積分器として機能する。この積分の結果、安定した入力信号が存在する場合には、アップ/ダウン・カウンタのカウント値は、加算期間と減算期間の繰り返しを経て、差信号の符号が正である期間と負である期間とが平均して同じとなる。入力信号が全波整流された正弦波で構成されている場合には、アップ/ダウン・カウンタのカウント値は、入力信号の実効値を表すレベルを中心として振動する。

最も一般的な従来例では、検出すべきアナログ入力信号が交流信号である場合は、検出器の入力端子の上流側に整流器（望ましくは全波整流器）を設けることが必要となる。しかし、本発明においては、差信号を形成するためおよびカウント動作の向きを決定するための入力信号の符号を考慮することによって整流器を不要にする方法が開示されている。

好適な実施例（後述の図3図参照）は、切換キャパシタのシステムを有している。これらのキャパシタの容量に対しては、差信号の生成に使用するアップ/ダウン・カウンタの出力の2進重みと同じ2進重みに従って、重み付けが行われる。基準電圧源の出力する基準電圧は、アップ/ダウン・カウンタのカウント値と、差信号を生成するために使用される値（すなわちアナログ入力信号と比較される量）との比を決定する。切換制御回路は、多相周期サイクルおよびアップ/ダウン・カウンタのカウント周波数に従って、切換制御信号を生成する。最後に、アップ/ダウン・カウンタの出力および切換制御回路によって制御されるマルチプレクサ回路により、各切換キャパシタにそれぞれ入力信号、基準電圧あるいは接地電位を、後述するような条件に応じた回数にしたがって供給することが可能となる。

切換キャパシタは比較器の入力端子に接続され、この入力端子に前記差信号を表す電位を、アップ/ダウン・カウンタのカウント周波数にしたがって、周期的に印加する。この電位は、アップ/ダウン・カウンタのカウント動作の向きを定めるために、比較器によって、零電位と比較される。

原則として、切換えサイクルは次の通りである。

予充電段階においては、各切換キャパシタは、検出すべき入力信号で全て充電され、その後、充電されている電荷がグラウンドから絶縁され、各キャパシタの第1の電極が比較器の入力端子に接続され、その間、この第1の電極は、所定の直流電圧よりも高いインピーダンスに維持される。

比較段階においては、基準電位または接地電位が各キャパシタの第2の電極に与えられる。各キャパシタに供給される電位は、アップ/ダウン・カウンタの出力の2進重みと、問題とするキャパシタの2進重みが同じになるように選択される。これにより、差信号は比較器の入力端子に印加されて、この比較器で零電位と比較される。

(4)

特許2790176

7

本発明の好適な実施例においては、アナログ信号レベル検出器の入力端子の上流側に整流器を設ける必要はない。このことは、入力信号の符号を決定する段階としての補助切換段階を各期間ごとに導入することによって得られる交流入力信号に対しても同じである。この補助切換段階は、原則としては、予充電段階とこれに先行する段階との間に導入され、全てのキャパシタの第2の電極へ接地電位が与えられる。このため、この補助切換段階中は、比較器の出力値が、入力電圧の符号の両数に応じて切り換えられる。この出力値は符号を示しており、フリップフロップに格納される。この符号が負の時には、形成された差信号のモードと、アップ/ダウン・カウンタのカウンタ動作の向きとが変化する。

したがって、たとえば、検出されて格納された符号が負であれば、基準電圧源（正）が同じ絶対値の負の基準電圧を出力する電源によって置き換えられる。それと同時に、読出段階に続く比較器の出力によって決定されるカウンタ動作の方向は、入力信号の符号が正の場合とは逆になる（たとえば、符号を格納するフリップフロップによって制御される排他的オアゲートが、比較器の出力端子とアップ/ダウン・カウンタのカウンタ動作の方向を制御する入力端子との間に挿入される）。

別の実施例としては、負の基準電圧源を不要とするために、補助キャパシタを設けたものがある。この補助キャパシタの容量は、他のキャパシタの容量の総和に等しい。この補助キャパシタは、予充電段階中に、基準電圧まで充電される。そして、読出段階中に、格納されている符号が正であるか負であるかに応じて、前記基準電圧または接地電位が与えられる。これと同時に、格納されている符号が負であれば、読出段階中に切換キャパシタに与えられる電位を接地電位とするか基準電位とするかの選択を逆にする。これらの2つの変更によって、差信号が形成される。この差信号はアップ/ダウン・カウンタのカウンタ値に比例する量と入力信号との差ではなく、この量と入力信号の符号を逆にしたものとの差である。このようにして、偽の全波整流が行われる。したがって、後述の説明から明らかなように、入力信号の符号が負の時は、カウンタ動作の方向を逆にすることが必要である。

【発明の実施例】

第1図は、本発明者が従来提案しているアナログ信号レベル検出器を示す。この従来例においては、レベルを検出すべきアナログ信号 v_1 が交流型である場合には、検出器の入力端子の上流側に全波整流器を設ける必要がある。整流器10の入力端子Aは、信号 v_1 を入力する。整流器10の出力端子は、整流された信号 v_2 を出力する。第2図に簡単に示したように、整流器10の入力信号 v_1 は周波数 f の正弦波である。これにより、整流器10の出力信号 v_2 は、正の脈動信号となる。

整流器10の出力端子Bは比較器12の一方の入力端子へ

8

接続されている。その比較器12の別の入力端子Cは、デジタル-アナログ変換器14の出力端子へ接続されている。デジタル-アナログ変換器14の入力端子はアップ/ダウン・カウンタ16の出力端子へ接続されている。このアップ/ダウン・カウンタ16のアップ・カウンタ動作およびダウン・カウンタ動作の周波数は、クロック信号 H によって定められる。デジタル-アナログ変換器14の出力は、アップ/ダウン・カウンタ16のカウンタ値の変化を表す電圧 v_3 を、比較器12の入力端子Cに発生させる。この電圧 v_3 は、第2図からわかるように、増大（アップ/ダウン・カウンタがアップ・カウンタする時）と減少（アップ/ダウン・カウンタがダウン・カウンタする時）とを交互に行う傾斜に従って、段階的に変化する。

これにより、第1図の回路は、電圧 v_2 と v_3 の差、すなわち整流された入力信号とアップ/ダウン・カウンタ16のカウンタ値に比例する量との差を示す差信号 v_4 を形成する。

比較器12の出力端子は、アップ/ダウン・カウンタ16のアップ/ダウン制御入力端子（+/-）に接続されており、この出力値がアップ/ダウン・カウンタ16のカウンタ動作の方向を決定する。信号 v_2 が信号 v_3 より大きいとアップ/ダウン・カウンタ16はアップ・カウンタ動作を行い、信号 v_2 が信号 v_3 より小さいとアップ/ダウン・カウンタ16はダウン・カウンタ動作を行う。両方の場合とも、カウンタ動作の向きは、アップ/ダウン・カウンタ16のカウンタ値を表す v_3 が整流された入力信号 v_2 を追従するような傾向を有している。

しかし、 v_3 が増大するときの勾配の最大値を適当に制限することにより、実際には、信号 v_3 が信号 v_2 を十分な遠さまで追従することができないようにする。

この目的のために、カウンタ動作周波数 f は、クロック H により、信号 v_3 を零から最大値まで増大させるのに要する時間（すなわち、アップ/ダウン・カウンタのカウンタ値が零から最大値になるまでに要する時間）が、入力信号 v_1 の周期 $1/f$ を大幅に超えるような値に設定される。このためには、アップ/ダウン・カウンタ16の最大カウンタ値を N_{max} とすると、 N_{max}/f を $1/f$ より十分大きくする必要がある。

信号 v_3 の振幅は変換器14におけるデジタル/アナログ変換尺度に依存する。この尺度を定めるために基準電圧 V_{ref} が用いられる。ここで、基準電圧 V_{ref} は、アップ/ダウン・カウンタのカウンタ値が最大値になった時に信号 v_3 が到達するレベルである。

第1図に示した第2のクロック信号 H' は、信号 H の周波数 f と同じ周波数を有しており、デジタル/アナログ変換器14の周期的な制御に使用される。

しかし、これらの信号 H, H' の各位相は、比較器12に切り換えられる時にアップ/ダウン・カウンタ16のカウンタ値の増大または減少が起らないことが保証されるよう

9

に、定められる。

振幅が安定している正弦波交流信号 V_1 が存在する時は、段階的な信号 V_3 が平均値を中心としてわずかに振動することが見出される。本発明の検出器がユーザーに供給するのはその平均値である。入力信号が全波整流された正弦波である場合には、前記平均値は入力信号の振幅値を表す。ランダムな交流信号の場合には、安定な動作状態において段階的な信号 V_3 が三角波状（立上り傾斜と立下り傾斜）に振動することは明白であり、その三角波状振動の平均レベルは、整流された信号 V_2 が段階的な信号 V_3 より高い値を有する期間と、段階的な信号 V_3 より低い値を有する期間とが平均して同じように定められる。

この平均値は、デジタル-アナログ変換器14の出力端子からアナログ形態で得ることができ、または、アップ/ダウン・カウンタ15の出力端子（出力端子D）からデジタル形態で得ることができる。非常に簡単な場合には、アップ/ダウン・カウンタ15のカウンタ値の上位ビットのみが検出器の出力として使用される。電圧 V_{ref} の値は、検出しようとするレベルのしきい値を定める閾値として選択される。これにより、検出しようとするレベルが前記しきい値をこえたか否かを、アップ/ダウン・カウンタ15の上位ビットの値によって定めることができる。非常に簡単な場合としては、選択されたしきい値が $V_{ref}/2$ であり、段階的な信号 V_3 の最大値が V_{ref} である場合がある。

第1図より、デジタル-アナログ変換器14に提供するビットとしてアップ/ダウン・カウンタ15の上位数桁のビットのみを使用できることは明かである。このときも、段階的な信号 V_3 は同様の構成を有するが、段階の数が少なくなる。

第3図は、切替キャパシタ群（ $C_1 \sim C_n$ ）によって差信号を形成する、本発明の好適な実施例を示す。第3図の回路も、アップ/ダウン・カウンタ16を有する。このアップ/ダウン・カウンタ16のアップ/ダウン制御入力端子は排他的オアゲート20を介して比較器12の出力端子へ接続され、比較器12の一方の入力端子は接地され、他方の入力端子はアップ/ダウン・カウンタのカウンタ値に比例する量と入力信号との差を表す差信号（電圧 V ）を入力する。切替キャパシタ群（ $C_1 \sim C_n$ ）により差信号がどのようにして周期的に形成されるかわかるであろう。この実施例においては、電圧 V は実際には前記差信号の逆であり、その電圧 V は比較器12の反転入力端子へ入力される。

比較器12の出力端子は、検出すべき入力信号 V_2 の符号を格納するフリップフロップ22の入力端子にも接続されている。したがって、この実施例においては、入力信号 V_1 は、全波整流器を設ける必要なく、接地電位を中心として交差できる。比較器12は入力信号 V_1 の符号と、この符号を格納したフリップ・フロップ22の出力信号とを、カウンタ動作周波数 f で周期的に検出する。この場

(5)

特許2790176

10

合には符号が正の時にはフリップフロップ22の出力 Q は1であり、逆に、符号が負の時にはフリップフロップ22の出力 Q は0である。

フリップフロップ22の出力端子 Q は、排他的オアゲート20の一方の入力端子に接続されており、この排他的オアゲート20の他方の入力端子は比較器12の出力端子に接続されている。これにより、カウンタ周波数が正のときに符号が検出されれば、カウンタ15のアップ/ダウン制御入力端子（+/-）は、比較器12と同じ状態となる（すなわち、電圧 V が負であればカウンタアップを行う状態、電圧 V が正であればカウンタダウンを行う状態）。一方、信号 V_1 の符号が負であると、排他的オアゲート22は比較器の出力により与えられた命令を逆転させる（すなわち、電圧 V が負の時はカウンタダウン、電圧 V が正の時はカウンタアップ）。

キャパシタ $C_1 \sim C_n$ のすべての第1の電極は、比較器12を構成する差動増幅器の反転入力端子（-）へ接続される。差動増幅器の他の入力端子である非反転入力端子（+）は接地される。

各キャパシタ $C_1 \sim C_n$ の他の電極は、論理切替回路24のそれぞれの出力端子へ接続される。論理切替回路24は、入力信号 V_1 または接地電位を適宜切り換えて入力するとともに、基準電位 V_{ref} も入力する。

この論理切替回路24は、以下のように制御される。

まず、論理切替回路24は、アップ/ダウン・カウンタ16の出力によって制御される。論理切替回路24は、このアップ/ダウン・カウンタ16のカウンタ値を当該カウンタ値に比例するアナログ量へ変換するために使用される。実際には、アップ/ダウン・カウンタ15の上位 n ビットのみが使用される。

一方、この論理切替回路24は、図示しない切替制御回路によっても制御される。この切替制御回路は、第4図に示されている多相サイクルに従って、アップ/ダウン・カウンタ16のカウンタ動作周波数 f と同じ周波数の周期的な信号、すなわち、同一周波数の2つの周期的な方形波信号 ϕ_1, ϕ_2 を生成する。これらの方形波信号 ϕ_1, ϕ_2 は、ほぼ同時に論理レベルが1となり、信号 ϕ_2 は信号 ϕ_1 よりも長く論理レベル1を維持する。また、信号 ϕ_1 も生成される。この信号 ϕ_1 は信号 ϕ_1 とはほぼ同じであるが、信号 ϕ_1 より僅かに早く論理レベルが0となる。

さらに、論理切替回路24は、 V_1 の符号を格納するフリップ・フロップ22によっても制御される。この制御により、 V_1 の符号の関数にしたがって切り換え動作を修正する。

論理切替回路24は、所定数の切替え手段と制御ゲート（オアゲートおよび排他的オアゲート）を有する。説明の便宜上、第3図において切替回路24を制御する信号の論理レベルが1の時にはスイッチが図で左側にセットされ、その制御信号の論理レベルが0の時にはスイッチが

(5)

特許2790176

11

右側にセットされるものとする。

論理切換回路24のスイッチは、以下の通りである。

スイッチ11は、信号φ' 1により制御され、キャパシタC1~Cnの第1の電極を接地するか(φ' 1=1)、またはその第1の電極を高インピーダンスの状態にするか(φ' 1=0)の切り換えを行う。

スイッチ12は、信号φ 1により制御され、回路の中間点Gに入力信号v1(φ 1=1)または接地電位(φ 1=0)を与える。

一連のスイッチ11~1nは、各キャパシタC1~Cnの第2の電極を中間点Gまたは基準電位Vrefへ個々に接続する。各スイッチ11~1nは、オアゲートK1~Knの出力により、それぞれ制御される。これらのオアゲートの1つの入力端子は信号φ 2を入力し、他の入力端子は排他的オアゲートL1~Lnの出力をそれぞれ入力する。排他的オアゲートL1~Lnの1方の入力端子はフリップフロップ22の出力端子Qに接続され、他方の入力端子はそれぞれアップ/ダウン・カウンタ16の上位n桁の出力端子のいずれかに接続される。

このようにして、各切換キャパシタC1~Cnは、アップ/ダウン・カウンタ16の各出力によって制御される。これらのキャパシタC1~Cnの容量はアップ/ダウン・カウンタ16の上位n桁の出力の2進値に対応させて重みづけられ、各キャパシタは同じ2進値のアップ/ダウン・カウンタ16の出力によって制御される。

すなわち、キャパシタC1はカウンタの最下位出力により制御される。そして、カウンタの最上位の出力によって制御されるキャパシタCnの容量は $2^{n-1} \cdot C1$ であり、キャパシタCn-1の容量は $2^{n-2} \cdot C1$ 等となる。

また、キャパシタC1の容量と同じ容量を有するキャパシタC' 1も、設けられる。このキャパシタは、スイッチを介さずに、比較器12の反転入力端子と中間点Gとの間に直結される。

補助キャパシタCn+1の容量は $(2^n - 1) \cdot C1$ であり、キャパシタC1~Cnの容量の和に等しい。この補助キャパシタCn+1の第1の電極は、他のキャパシタC1~CnおよびC' 1と同様に比較器12の反転入力端子へ接続され、第2の電極は補助スイッチJn+1に接続されている。そして、この補助スイッチJn+1により、第2の電極を基準電位Vrefまたは中間点Gへ接続することができる。この補助スイッチJn+1は、オアゲートKn+1により制御される。さらに、このオアゲートKn+1の1方の入力端子は信号φ 2を入力し、他方の入力端子は信号v1の符号を格納するフリップフロップ22の出力Qを入力する。

アップ/ダウン・カウンタ16のカウント値を増加または減少させるために、このアップ/ダウン・カウンタ16には、オアゲートから、クロック信号Hが供給される。このオアゲートは、1方の入力端子から信号φ 1を入力する。そして、他方の入力端子には、アップ/ダウン・カウンタ16から、オーバーフロー出力QOが入力される。

12

このオーバーフロー出力QOは、カウントアップ動作中にアップ/ダウン・カウンタ16のカウント値が最大値に達した時や、カウンタダウン動作中にカウント値が最小値に達した時に、1となる。アップ/ダウン・カウンタ16のカウント値は、信号φ 1の立ち上がりで増加または減少するが、最大値または最小値を超えることは禁止されている。

最後に、フリップフロップ22のトリガ入力端子は、インバータにより反転された信号φ 2を入力する。これにより、比較器12の状態に応じて起こり得る切り換えを、方形波パルスφ 2の立ち下がりタイミングで行う。

次に、第3図に示す回路の動作を説明する。

この回路の動作は、切換制御回路(図示せず)が定める各周期によって、3つの主要段階に区分けすることができる。以下、信号φ 2および信号φ 1が1である段階を「予充電段階」と称し、信号φ 1が0で信号φ 2が1のままである段階を「v1の符号を決定する段階」と称し、信号φ 1および信号φ 2が共に0である段階を「比較段階」と称する。

a) 予充電段階:

信号φ 2=1であるから、キャパシタC1~Cnの第2の電極が、スイッチ11~1nにより中間点Gに接続される。

信号φ 1=1であるから、中間点Gは、スイッチ12から、入力電圧v1を入力する。

信号φ 2=1であるから、キャパシタCn+1の第2の電極は、基準電位Vrefに接続される。

最後に、信号φ 1=φ' 1=1であるから、すべてのキャパシタC1~Cn、C' 1、Cn+1の第1の電極は、スイッチ11によって接地される。

キャパシタC1~CnおよびキャパシタC' 1の各蓄積電荷は、

$C1v1, C2v1, \dots, Cnv1$

および

$C' 1v1$

となる。キャパシタCn+1は電荷Vrefをとる。すべてのキャパシタの第1の端子が接続されている共通点には、下記の全電荷が存在する。

$-C1v1 - C2v1 - \dots - Cnv1$

$-C' 1v1 - Cn+1 \cdot Vref$

予充電段階が終る直前に、すなわち、信号φ 1が0となる直前に、信号φ' 1が0となってスイッチ11が開き、比較器12の入力端子(高インピーダンス)上の前記全電荷をグラウンドから絶縁する。

b) 入力電圧v1の符号を決定する段階

スイッチ11が開くことと、スイッチ12が状態を変えて中間点Gを接地することとを除き、スイッチは予充電段階における位置と同じ位置をとる。

このときは、基準電位Vrefに維持されているキャパシタCn+1を除く、他のすべてのキャパシタの第2の電極は接地されている。充電が行われ、第1の電極がグラ

13

下から絶縁された結果、第1の電極の電位は $-V_1$ となる。この電位 $-V_1$ は、比較器12の反転入力端子に印加される。そして、比較器12は、入力電圧 V_1 が正であれば論理状態1を出力し、入力電圧 V_1 が負であれば論理状態0を出力する。

この状態は、信号φ2の立下りまで保たれる。このφ2の立ち下がりにより、符号決定段階が終了する。この立下りにおいて、フリップフロップ22の出力Qは比較器12の出力によって与えられる状態をとり、フリップフロップ22の出力Qは出力Qに対する相補状態をとる。そして、このようなフリップフロップ22の出力状態は、1周期の間、そのままの状態に保たれる。

c) 比較段階

全ての場合において、スイッチ11は、高インピーダンス状態に（すなわち、比較器12およびこれに接続されている第1の電極をグラウンドから直流的に絶縁した状態）に保たれる。スイッチ12は、中間点Gを接地電位に保つ。この段階は、切換えサイクル中の入力電圧 V_1 が正であるか或いは負であるかに応じて、2つの場合に区分する必要がある。

1. V_1 が正の場合

オアゲート K_{n+1} がフリップフロップ22の出力 $Q=1$ をスイッチ J_{n+1} へ送るので、そのスイッチは初期状態を維持する。

排他的オアゲート $L_1 \sim L_n$ は、フリップフロップ22から、論理状態が1の信号を入力する。したがって、これらの排他的オアゲート $L_1 \sim L_n$ の出力信号は、アップ/ダウン・カウンタ16の上位 n 桁の出力信号を反転させた信号となる。一段のオアゲート $K_1 \sim K_n$ は、スイッチ $J_1 \sim J_n$ の制御に使用するために、排他的オアゲート $L_1 \sim L_n$ から入力した信号を、スイッチ $J_1 \sim J_n$ に対して出力する。

したがって、重み n の出力信号が1であれば、スイッチ J_n を切り換えて、キャパシタ C_n の第2の電極を基準電位 V_{ref} に接続する。これとは逆に、前記出力が0であれば、スイッチ J_n は切り換えられず、キャパシタ C_n の第2電

$$-2^n$$

$$V = \frac{V_1 - \frac{N \cdot V_{ref}}{2^{n+1} - 1}}{2^{n+1} - 1} \quad (3)$$

が得られる。

したがって、比較器12の入力端子に与えられる電位 V は、前記差信号すなわち入力信号 V_1 と、アップ/ダウン・カウンタ16のカウント値 N に比例する量 $(N \cdot V_{ref}/2^n)$ との差を示す信号を、表している。

差信号 $V_1 - N \cdot V_{ref}/2^n$ が正の時は比較器12は論理状態1を出力し、この差信号が負の時は比較器12は論理状態0を出力する。この論理状態により、アップ/ダウン・カウンタ16のカウント動作の方向が定められる。すなわち、 $N \cdot V_{ref}/2^n$ が入力電圧 V_1 より低い時はカウン

(7)

特許2790176

14

*の電極が中間点Gに接続された状態、すなわち接地された状態に維持する。同様にして、対応する重みの出力が1の時には各キャパシタ $C_1 \sim C_n$ の第2の電極が基準電位 V_{ref} に接続され、前記出力が0の時には前記第2の電極が接地される。

ここで、切換えキャパシタ $C_1 \sim C_n$ の第2の電極の共通電位は値 V となるので、最初に充電されていた電荷は比較器12の入力端子に接続されている各キャパシタ $C_1 \sim C_n$ 、 $C_{1, n+1}$ の各電荷によって均衡化される。最初に充電されていた電荷の和は、次の通りである。

$$-C_1 V_1 - C_2 V_1 - \dots - C_n V_1$$

$$-C'_{1, n+1} V_1 - C_{n+1} V_{ref} \quad \dots (1)$$

キャパシタ $C_1 \sim C_n$ 、 $C'_{1, n+1}$ の第1の電極に電位 V が供給されている時の、各キャパシタの電荷の和を計算するためには、各キャパシタがアップ/ダウン・カウンタ16の出力の重みに従って重みづけられた容量を有することを思い出さなければならない。

そして、アップ/ダウン・カウンタ16の各出力は、各キャパシタ $(C_n = 2^{n-1} C_1; C_{n+1} = 2^{n-1} C_1)$ に、個別に基準電位 V_{ref} または電位0を与える動作を制御する。

アップ/ダウン・カウンタ16が出力するカウント値（「カウント値」という語は、ここでは最上桁の出力端子が出力するカウント値のみを意味するものと理解されたい）を N とすると、電荷の和は次の通りとなる。

$$(C_1 + \dots + C_n) V - N V_{ref} C_1 + V C'_{1, n+1} + (V - V_{ref}) C_{n+1} \quad \dots (2)$$

ここで、

$$C_{n+1} = C_1 + \dots + C_n = (2^n - 1) C_1 \text{ であり、また、}$$

$$C'_{1, n+1} = C_1$$

であるから、式(2)の1項と2項とを等しいとおく

$$V (2^{n+1} - 1) C_1 = (N V_{ref} - V_1 \cdot 2^n) C_1$$

または

$$N V_{ref}$$

$$2^n$$

アップ動作が行われ、これとは逆の場合にはカウンタダウン動作が行われる。

アップ/ダウン・カウンタ16がカウンタアップ動作を行うのか或いはカウンタダウン動作を行うのかの決定は、信号φ1の立ち上りで行われる。この立ち上がりは、すなわち、比較段階の終了であるとともに、次の周期の予充電段階の開始時である。

2. V_1 が負の場合

ここで説明する期間中は、入力電圧 V_1 は負である。

この場合には、アップ/ダウン・カウンタ16のカウン

(8)

特許2790176

15

16

ト値を表す量 $N \cdot V_{ref}/2^n$ と比較するのは、入力電圧 V_1 の絶対値すなわち $-V$ でなければならない。したがって、差信号は、

* $-V_1 - N \cdot V_{ref}/2^n$ となるので、比較器12の負入力端子には

$$-2^n \quad * \quad N V_{ref} \\ \text{-----} \quad (-V_1 - \text{-----})$$

$$2^{n+1} - 1 \quad 2^n$$

に等しい電位 V を与える必要がある。ただし、電位

$$V = \text{-----} \quad (V_1 + \text{-----})$$

$$2^{n+1} - 1 \quad 2^n$$

を生成し、その後、比較器12の出力により与えられるカウントアップ動作命令またはカウントダウン動作の命令を逆にするとしてもよい。これまでの説明からわかるように、カウント動作命令の逆転はここで行われる。この動作命令の逆転は、フリップフロップ22の出力 $Q=1$ によって制御させる排他的オアゲート30によって行われる。

入力電圧 V_1 が正の時の V を計算するための動作が再び行われる際には、スイッチ J_{n+1} が切り換わって、キャパシタ C_{n+1} が中間点 G に接続される。これにより、このキャパシタ C_{n+1} は、接地される。

排他的オアゲート $11 \sim 1n$ は、もはやアップ/ダウン・カウンタ16の N 個の出力の状態を反転させない。したがって、直み n の出力が1であるとする、スイッチ J_n は、キャパシタ C_2 の第2の電極を中間点 G に接続した状態、すなわち接地した状態に維持する。それとは逆に、アップ/ダウン・カウンタ16の直み n の出力が0であれば、スイッチ J_n は、キャパシタ C_n を基準電位 V_{ref} に接続※

※する。他のキャパシタ $C_1 \sim C_{n-1}$ に対しては、同じ動作が行なわれる。

キャパシタの第1の電極の共通電位の値は V となるので、各キャパシタの電荷の和は最初に充電された電荷を均衡させる。

最初に充電された電荷は、

$$-C_1 V_1 - C_2 V_1 - \dots - C_n V_1 - C'_{1V_1} \\ - C_{n+1} V_{ref} \quad \dots (1)$$

であることに注目する。ここで、キャパシタの電荷の和は

$$(C_1 + \dots + C_n) V - (C_1 + \dots + C_n) V_{ref} \\ + n V_{ref} C_1 + V C'_{1V_1} + V C_{n+1} \quad \dots (4)$$

に等しい。
(2) 式について先に述べたと同様に、(4) 式の1項と4項を等しいとおくと次式が得られる。

$$V (2^{n+1} - 1) C_1 \\ = N \cdot V_{ref} C_1 - 2^n V_1 \\ \text{または} \\ N V_{ref}$$

$$V = \text{-----} \quad (V_1 + \text{-----}) \quad (5)$$

$$2^{n+1} - 1 \quad 2^n$$

これは、求めていたもの、すなわち入力信号の整流された値 $(-V_1)$ とアップ/ダウン・カウンタ16のカウント値に比例する項との差を表す差信号に一致する。

したがって、信号 ϕ_1 の立上りにおいて、電圧 $-V_1$ が $N \cdot V_{ref}/2^n$ を超えるとアップ/ダウン・カウンタ16のカウント値は増加し、逆の場合にはアップ/ダウン・カウンタ16のカウント値は減少する。

第1図に示されている場合では、アップ/ダウン・カウンタ16のカウント値は入力信号 V_1 の平均レベルを表す。一方、ここで説明している例では、アップ/ダウン・カウンタ16の最上位ビットのレベルが $V_{ref}/2$ より高いか低いかわ、直接示す。というのは、最上位のビットが

1になった時に N が 2^{n-1} になり、また、アップ/ダウン・カウンタ16の最上位ビット出力の簡単な使用を非常に正確に行えるようにするために、キャパシタ C_1 と同じ容量の非切換キャパシタ C'_{1V_1} が設けられているからである。複数の出力の使用することにより、他の方法で、異なるレベルのしきい値を定めることもできる。

$N \cdot V_{ref}/2^n$ の増加速度が遅くなると、検出された平均値を中心とするアップ/ダウン・カウンタ16のカウント値の振動が遅くなり、その平均値を生成するための時間が長くなる(入力信号が消えた場合に零まで復帰する時間も同様である)。したがって、この点では、妥協する必要がある。

(9)

特許2790176

17

最後に、第3図に示す回路と同様にして、切換キャパシタを用いた実施例における入力電圧の模擬整流について説明する。負の基準電圧源 ($-V_{ref}$) があるとすると、フリップフロップ22が入力電圧の負の符号を示す時に、 V_{ref} の代りにそれを使用できる。このとき、キャパシタ C_{n+1} または排他的オアゲート11~1nはもはや不要であるから、それは使用されない。この場合も、上述の場合と同様にして、入力電圧 v_1 が正の時に入力電圧 v_1 と $N \cdot V_{ref}/2^n$ との比較が行われ、入力電圧 v_1 が負の時には $-v_1$ と $N \cdot V_{ref}/2^n$ との比較が行われる。

【発明の効果】

以上説明したように、本発明のアナログ信号レベル検出器によれば、大容量のキャパシタを用いることなく積分回路を構成することができるので、アナログ信号レベ

18

ル検出器と、これに内蔵される積分回路とを、同じ半導体チップ内に形成することができる。

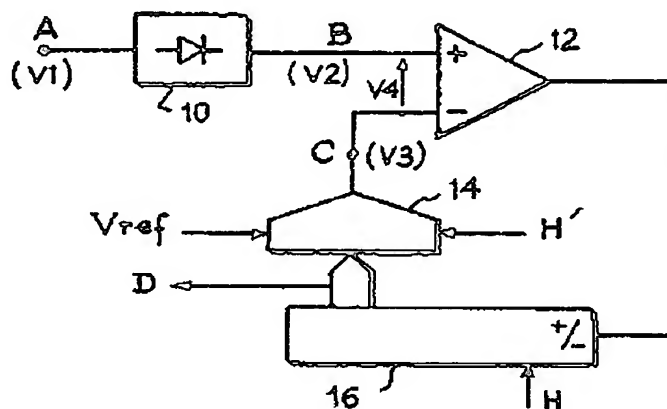
また、本発明のアナログ信号レベル検出器によれば、整流器を必要としないので、回路構成が簡単なアナログ信号レベル検出器を提供することができる。

【図面の簡単な説明】

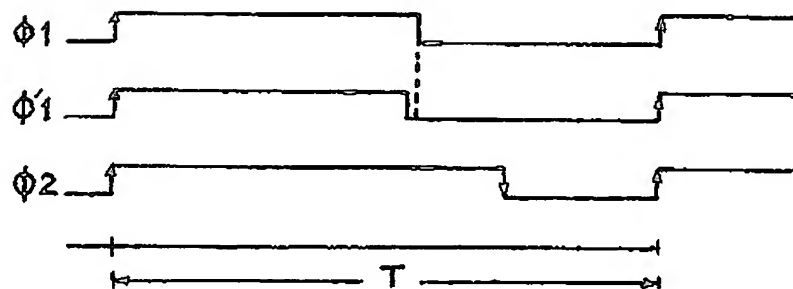
第1図は本発明者の提案による基本的な回路構成を示すブロック図、第2図は第1図に示す回路の動作を理解するために有用なタイミング波形図、第3図は本発明の好適な実施例の回路図、第4図は第3図に示す回路で使用する切換制御信号のタイミング波形図である。

10…全波整流器、12…比較器、14…デジタル-アナログ変換器、16…アップ/ダウン・カウンタ、22…フリップフロップ。

【第1図】



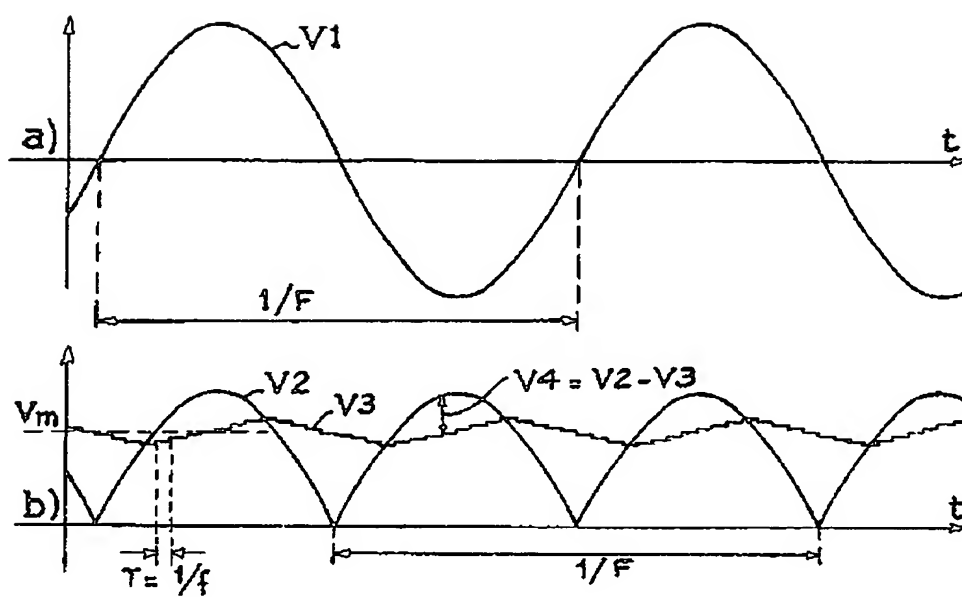
【第4図】



(10)

特許2799176

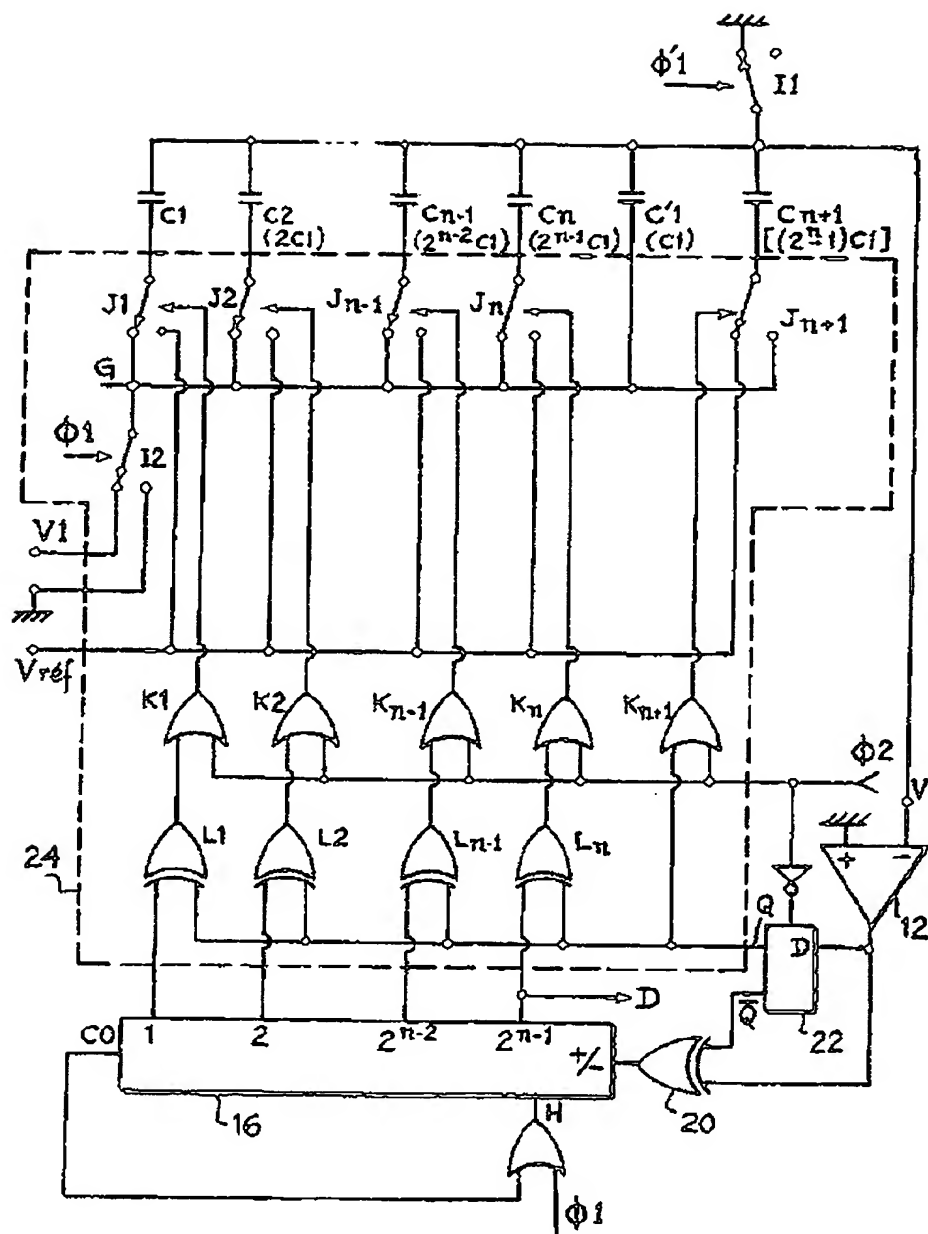
【第2図】



(11)

特許2790176

【第3図】



(12)

特許2790176

フロントページの続き

(56)参考文献 特開 昭55-20008(J P, A)
特開 昭57-160216(J P, A)